

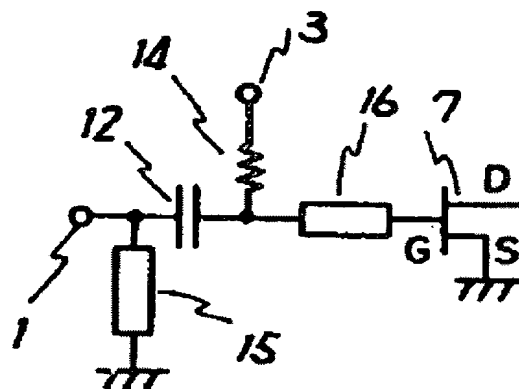
**FET MIXER**

**Patent number:** JP60064508  
**Publication date:** 1985-04-13  
**Inventor:** SUGIURA SADAHIKO  
**Applicant:** NIPPON ELECTRIC CO  
**Classification:**  
- **international:** H03D7/12; H03D9/06  
- **european:** H03D7/12A  
**Application number:** JP19830173484 19830920  
**Priority number(s):** JP19830173484 19830920

[Report a data error here](#)

**Abstract of JP60064508**

**PURPOSE:** To eliminate the need for the adjustment for optimizing a circuit to a frequency component by utilizing that almost no current flows to a gate of an FET so as to a bias through a resistor. **CONSTITUTION:** A capacitor 12 is selected to a large static capacitance value so as to be almost short-circuited even to an intermediate frequency, then the capacitor 12 is almost short-circuited and a transmission line stub 15 and a transmission line 16 are almost short-circuited. Since a gate current flowing to and FET 7 is very minute, no effect is given to the supply of bias even if a resistor 14 is selected as nearly 10k $\Omega$ . Thus, the resistor 14 can be regarded as a nearly infinite resistance, and the impedance viewed from a gate terminal G toward the external line is nearly zero. Since the condition of an input matching circuit to an intermediate frequency component when an FET mixer offers the highest performance in general is that the gate terminal G is short-circuited, the input matching circuit is optimized two frequencies, that is, the input signal frequency and the intermediate frequency.



Data supplied from the **esp@cenet** database - Worldwide

⑨ 日本国特許庁(JP) ⑩ 特許出願公開  
⑪ 公開特許公報(A) 昭60-64508

⑫ Int. Cl.<sup>4</sup>  
H 03 D 7/12  
9/06

識別記号 庁内整理番号  
7402-5J  
7402-5J

⑬ 公開 昭和60年(1985)4月13日

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 FETミキサ

⑮ 特 願 昭58-173484

⑯ 出 願 昭58(1983)9月20日

⑰ 発 明 者 杉 浦 禎 彦 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑲ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称 FETミキサ

特許請求の範囲

周波数混合される入力信号を静電容量素子および第1の信号整合用伝送線路を介してゲートに受けるFETと、前記静電容量素子の第1の信号整合用伝送線路が接続されていない端子に一端が接続されている第2の信号整合用伝送線路の他端が接続しており、前記静電容量素子の静電容量値が前記周波数混合により生ずる中間周波数に対して短絡とみなし得る大きさであり、前記FETに対するゲートバイアス電圧を抵抗素子を介して印加することを特徴とするFETミキサ。

発明の詳細な説明

本発明はFETを用いたミキサ、特に入力信号周波数がマイクロ波帯であるFETミキサに関する。

マイクロ波帯ミキサの周波数混合素子には通常ダイオードが使用されているが、近年GaAs MESFETの進歩に伴ないこれを周波数混合素子として使用したマイクロ波帯ミキサの開発が進められている。FETミキサはダイオードミキサに比べて雑音指数は若干劣るが、増幅機能を有し、しかもFETドレイン・ゲート間のアイソレーション効果が利用できるから、フィルタ系が簡単になる等の特徴があり、主として簡易形通信機への適用が考えられている。

図1図は従来のFETミキサの入力結合回路を示す回路図であり、1は信号入力端子、2はDCブロック用コンデンサ、3はゲートバイアス供給端子、4はRFチョークコイル、5は信号整合用のコンデンサ、6は信号整合用の伝送線路、7はFETであり、文字Q、D、SはそれぞれFET7のゲート端子、ドレイン端子、ソース端子を示す。

従来のFETミキサの入力結合回路には以下に述べる欠点がある。まず図1にミキサには信号周波数、ローカル周波数、中間周波数、さらにこれ

BEST AVAILABLE COPY

特開昭60-64508(2)

らの組み合わせ(例えばイメージ周波数)等の多数の周波数成分があるため、入力整合回路を入力信号周波数成分にのみ整合をとっても必ずしも最高の性能(すなわち最小の雑音増倍と、最大の増幅利得)が得られるとは限らないことが挙げられる。入力整合回路を入力信号周波数成分に整合をとることは最高性能を得るための必要条件にはなっているが、そのために他の周波数成分に対して劣悪な状態にした場合は、入力信号周波数成分に対しては若干整合を外しても他の周波数成分に対しては優良な状態にした場合よりも性能が劣るのが普通である。したがって、従来のPBTミキサでは一応入力信号周波数に整合をとるように設計し、最終的には製作環境による調整で最高性能を得ていた。従来のマイクロ波用の回路は調整に手間を費しても性能を重視するのが常態であったから、調整を要することは欠点として表面には出ていなかった。

しかし、近年マイクロ波回路でも低雑音、低価格化が要求されるようになってきた。とくに、Q.A.基板を使用したモノリシックICでは回路

調整が困難なため従来の回路をそのまま適用するわけにはいかなかった。さらに、第1図の回路構成ではバイアス供給用にBPTチークコイル4を備えているが、チークコイルは一般に大型になる。従来の回路の大型化はそれほど大きな問題ではなかったが、モノリシックICではチップの外形を小型化することが、量産性、低価格化を要求する上で本質的な問題となってきた。

本発明の目的は、回路調整がほとんど必要なく、しかも小型なPBTミキサを提供にある。

本発明によれば周波数混合される入力信号を静電容量素子および第1の信号整合用伝送線路を介してゲートに受けるPBTと、前記静電容量素子の第1の信号整合用伝送線路が接続されていない端子に一端が接続されている第2の信号整合用伝送線路の他端が接続してあり、前記静電容量素子の静電容量値が、前記周波数混合により生ずる中間周波数に対して短絡とみなし得る大きさであり、前記PBTに對するゲートバイアス電圧を静電容量素子を介して印加することを特徴とするPBTミキサ

が得られる。

次に図面を参照して本発明を詳細に説明する。

第2図は本発明の一例として示す入力整合回路を示す回路図であり、12はICブロック用のコンデンサ、14はバイアス電圧供給用の抵抗、15は信号整合用の伝送線路スタブ、16は信号整合用の伝送線路である。

第3図はPBT7の入力アドミタンスを説明するためのスミス図表(アドミタンス表示)であり、図中のX印と11がソース接続PBT7のS行列の11成分(すなわちソース接続PBTのゲート側、ドレイン側を50Ωの基準抵抗値で終端した場合のゲート端から見た入力アドミタンス)である。これを外部回路の新基準抵抗値50Ω(同図で円の中心となる点)に整合をとるため整合回路が必要になる。本図において、点線が第1図に示した従来のPBTミキサの結合回路、実線が第2図に示した本発明のPBTミキサの結合回路である。

第3図から明らかなように、整合回路が異なるため結合回路の接続は異なるが、整合機能という点

に関しては同一である。すなわち、入力信号周波数成分に対する整合という機能に関しては本発明と従来の回路とに本質的な差はない。

しかしながら、中間周波数成分に対してはまったく異なる動作をする。中間周波数は信号周波数に比較してずっと低い。したがって、第1図の回路でコンデンサ2および5はほぼ開放、コイル4および伝送線路6はほぼ短絡となるので、PBT7のゲート端子から外側を見たインピーダンスは端子3に接続される回路素子に依存する。

一方第2図の回路では、コンデンサ12は中間周波数に対してはほぼ短絡になるように大きな静電容量値に選んであるのでほぼ短絡であり、伝送線路スタブ15および伝送線路16もほぼ短絡となる。またPBT7に流れるゲート電流は極めて微小であるから抵抗14は10kΩ程度の大きな値に選んでもバイアス供給には何等影響しない。したがって抵抗14はほぼ開放と看做される。よって、PBT7のゲート端子Qから外側を見たインピーダンスは、端子3に接続される回路素子に依存せずほぼ短

特開昭60-64508(2)

となる。一般にFETミキサが最高性能を出すため入力整合回路の中間周波数成分に於ける条件は、ゲート端子Gが短絡になることであるから、第2図のミキサでは、入力整合回路が入力信号周波数と中間周波数の2つの周波数成分に対して最適化されている。

また、この実施例では絶縁体を用いてFETのゲートバイアスを供給している。絶縁体周波数特性がないため、信号周波数に対して低減損失ならば中間周波数に対してはほぼ開放となる。従来の回路ではバイアスはチークコイルにより供給していた。この場合、中間周波数に対しては開放となるように大きなインダクタンスを持つコイルは極めて大形となる。本発明ではFETのゲートにはほとんど電流が流れないことを利用して絶縁体でバイアスを供給しているため、回路の小形化が可能になる。

さらに、本実施例においては入力信号周波数に対する結合係数調整回路ステップ15および伝送回路16が実装し、従来の回路のようにコンデンサ5を使用

していないことに注目されたい。モノリシックICにおいては、コンデンサはいわゆるMIN(金属-絶縁体-金属)形が使われる。MINコンデンサの調整係数は絶縁体の厚さに依存する。ところが絶縁体の厚さは1μm以下(100~600nm程度)と非常に薄いため、厚さの調節を精度良く行なうことは極めて難しい。すなわち、従来の回路をモノリシックICで実装すると歩留まりが極めて悪い。これに対して従来回路(伝送回路ステップ15を含む)の製作にはリフトオフ、選択エッチングあるいは選択イオンが使われるが、これらはリングラフの精度にのみ依存し、厚さ方向の調節が特性に関係しないから、歩留まりの低下が防止できる。

第4図は第2図の回路をG.A.絶縁上にモノリシック集積化した場合の回路パターン図である。

第5図はFETとしてデ・アルゲートFETを使用した場合の本発明の実施例を示す回路図で、デ・アルゲートFET 21の各端子ではドレイン、Sはソース、G1はゲート、G2は第2ゲ

トを示す。デ・アルゲートFETミキサの場合、信号周波数成分は通常第1ゲートG1に入力され、第2ゲートG2にはローカル周波数成分が入力される。

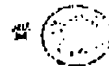
以上詳細に説明したように、本発明によれば回路調整がほとんど必要なく、しかも小形のFETミキサが実現される。

#### 図面の簡単な説明

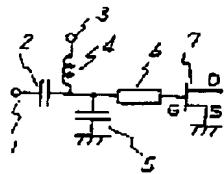
第1図は従来のFETミキサの入力整合回路を示す回路図、第2図は本発明の実施例における入力整合回路を示す回路図、第3図はFETの入力アドミタンスを低減するためのアドミタンス減衰のスキーム図表を示す図、第4図は第2図の回路をG.A.絶縁上にモノリシック集積化した場合の回路パターン図、第5図は本発明の他の実施例における入力整合回路を示す回路図である。  
1………信号入力端子、 2, 12………ICプロセッサ用のコンデンサ、 3………ゲートバイアス供給端子、 4………FETチークコイル、 5………

信号整合用のコンデンサ、 6, 18………信号整合用の伝送回路、 7, 21………FET、 14………抵抗、 15………信号整合用伝送回路ステップ。

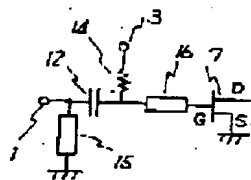
代理人 加藤 正 内 販 費



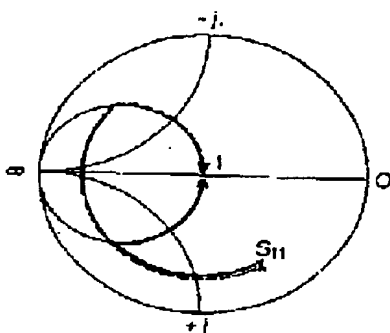
第 1 図



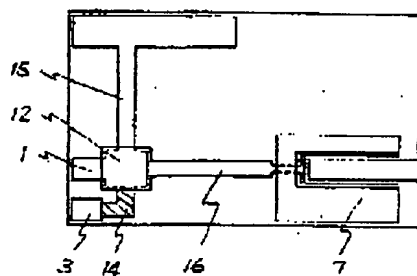
第 2 図



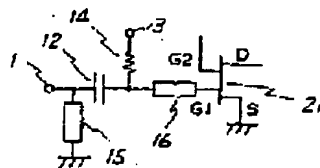
第 3 図



第 4 図



第 5 図



BEST AVAILABLE COPY